

Translation of Reference

Reference E : Laid-Open publication No. 62-159,060
(Application date: January 4, 1986, Publication date: July 15, 1987)

As shown in Fig. 1, the invention of this reference includes:

a MOSFET bridge consisting of MOSFET 1, MOSFET 6, MOSFET 10 and MOSFET 14;

power source terminals 5, and 18; and

output terminals 19, and 20 for supplying a electrical current flowing through circuit in the printed circuit board which is tested.

Fig. 1 is a circuit diagram of the invention of this reference.

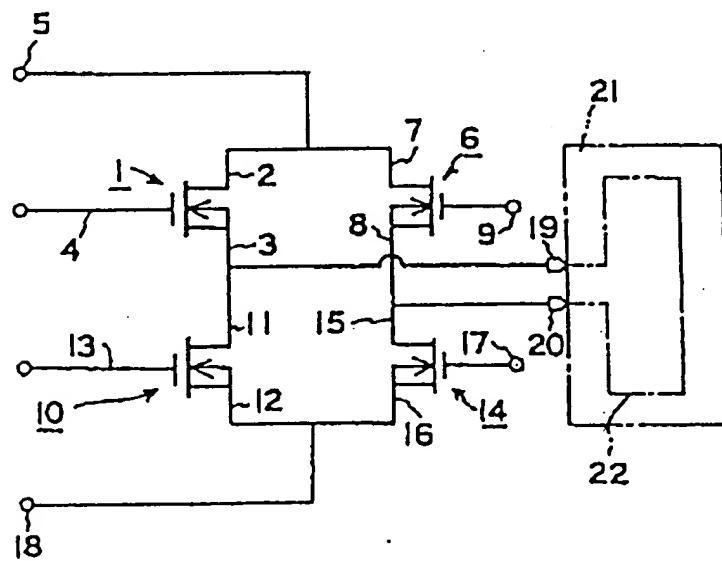
1, 6, 10, 14. MOSFET

5, 18. voltage supply terminal

19, 20 output terminal

21. print circuit board

Fig. 1



⑪ 公開特許公報 (A) 昭62-159060

⑤Int.Cl.
G 01 R 31/02識別記号 行内整理番号
6829-2G

④公開 昭和62年(1987)7月15日

審査請求 未請求 発明の数 1 (全3頁)

③発明の名称 プリント基板の試験用ブリッジ回路

②特願 昭61-108

②出願 昭61(1986)1月4日

④発明者 油井 正俊 東京都新宿区西新宿1-3-14 株式会社高見沢サイバネットイツクス内

⑤出願人 株式会社 高見沢サイバネットイツクス 東京都新宿区西新宿1丁目3番14号 (平和ビル)

当プリント基板では、その1枚当たりの配線本数は1000~2000本となり、そのプリント基板1枚の検査時間は10~20秒程度となる。

しかし、上記の如き、プリント基板の部品実装密度は、上記にとどまるものではなく、更に著しく高密度になってきており。特に、中、大型コンピュータ等に使用されるプリント基板では、前記の4層を越えて6層、8層(更には12層)となり、又こうなる趨勢になっている。そしてその配線密度はこのプリント基板上に実装される部品の集積化・小型化の相乗効果で、前記の4層の場合の5~6倍になっているのが実状である。従って、この様に多層度が高くなるにつれ、製造ラインに比して、より多くの検査部門における作業の疊合が生じて、全生産ラインが円滑に進行せず、故に現状より高速の検査手段の出現が要請されていた。

(発明が解決しようとする問題点)

この発明は上記に鑑み、プリント基板、特に多層プリント基板を高速で、前記の導通及び地線

チェックを実施するプリント基板の試験用ブリッジ回路を提供するものである。

(問題点を解決するための手段)

この発明を一実施例を示す図に基づいて説明すれば以下の通りである。即ち、この発明のプリント基板の試験用ブリッジ回路は、第1図において、第1のパワー(MOS semiconductor)-FET(Field effect transistor)1のドレイン(drain)端子2及び第2のパワー-MOS-FET6のドレイン端子7のそれぞれを電源の一方の電極の端子5と接続し、前記第1のパワー-MOS-FET1のソース(source)端子3を第3のパワー-MOS-FET10のドレイン端子11と接続し、前記第2のパワー-MOS-FET6のソース端子8を第4のパワー-MOS-FET14のドレイン端子15に接続し、前記第3のパワー-MOS-FET10のソース端子12及び第4のパワー-MOS-FET14のソース端子16を前記電源の他方の電極の端子18と接続し、そして前記第1のパワー

MOS-FET1のソース端子3(又はだい3)のパワー-MOS-FET10のドレイン端子11)を一方の出力端子19とし、第2のパワー-MOS-FET6のソース端子8(又は第4のパワー-MOS-FET14のドレイン端子15)を他方の出力端子20としたことを特徴としている。

第1図に示す実施例でわパワー-MOS-FETとしてローチャンネルのそれを使用しており、この場合、前記電源の一方の電極の端子5は+(プラス)極に接続され、電源の他方の電極の端子18は-(マイナス)極に接続される。

(作用)

次に本発明のプリント基板の試験用ブリッジ回路の作用を説明すると、第1図において、第1のパワー-MOS-FET1のゲート端子4及び第4のパワー-MOS-FET14のゲート端子17にそれぞれHighの電圧を印加して各ゲートをONにし、第2のパワー-MOS-FET6のゲート端子及び第3のパワー-MOS-FET10のゲート端子13のいずれもがLow電圧の状態にしてその各ゲートをOFFにすると、一方の出力19

及び他方の出力端子20にプローブ等を介してこの回路に接続されたプリント基板21上の回路のある配線22には一方の出力端子19から他方の出力端子20へと電流がながれる。

つぎに、上記と逆の操作を実施して、すなわち第2のパワー-MOS-FET6のゲート端子9及び第3のパワー-MOS-FET10のゲート端子13にHighの電圧を印加してその各ゲートをONにし、一方第1のパワー-MOS-FET1のゲート端子4及び第4のパワー-MOS-FET14のゲート端子17の電圧をOFFにした場合は前記のプリント基板21上の回路の成る配線22には他方の出力端子20から一方の出力端子19に電流が流れれる。

(発明の効果)

この発明は上述したように、パワー-MOS-FETを用いたものであるから、高速のスイッチング動作をすることができる。すなわち、配線検査時間は配線1本当たり100μsec以下であり、前記した従来のそれと比較してその1/100の所要時間で試験をすることが出来

る。

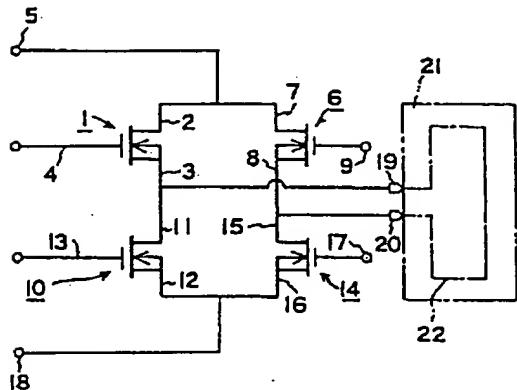
また、これらパワーMOS-FETの複数を特定のブリッジ状に接続して、上記のパワーMOS-FETの導通をそのゲート端子で制御するものであるから、被試験体であるプリント基板上の回路・配線に両方向から電流を流すことができる等々の顕著な効果がある。

4. 図面の簡単な説明

第1図はこの発明のプリント基板の試験用ブリッジ回路の1実施例の回路図である。

図中、1…第1のパワーMOS-FET、5…電源の一方の電極の端子、6…第2のパワーMOS-FET、10…第3のパワーMOS-FET、14…第4のパワーMOS-FET、18…電源の他方の電極の端子、19…一方の出力端子、20…他方の出力端子。

第1図



特許出願人

株式会社高見沢サイバネティックス